

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Eun-sik KIM et al

Application No.: Unassigned

Filing Date: November 18, 2003

Title: HIGH DENSITY MAGNETORESISTANCE MEMORY AND MANUFACTURING METHOD THEREOF

Group Art Unit: Unassigned

Examiner: Unassigned

Confirmation No.: Unassigned

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir: /

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Korea

Patent Application No(s): 2003-35302

Filed: June 2, 2003


In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620
Date: November 18, 2003

By



Charles F. Wieland III
Registration No. 33,096



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

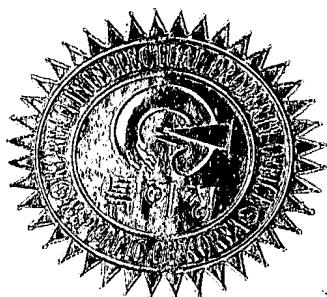
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0035302
Application Number

19240

출원 년 월 일 : 2003년 06월 02일
Date of Application JUN 02, 2003

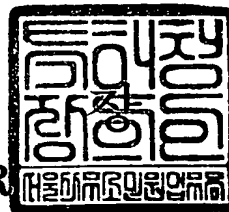
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.06.02
【국제특허분류】	G11C
【국제특허분류】	H01L
【발명의 명칭】	고밀도 자기저항 메모리 및 그 제조방법
【발명의 영문명칭】	High density magnetoresistance memory and Manufacturing method the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	김은식
【성명의 영문표기】	KIM,Eun Sik
【주민등록번호】	650508-2030317
【우편번호】	142-772
【주소】	서울특별시 강북구 수유2동 삼성아파트 102동 1102호
【국적】	KR
【발명자】	
【성명의 국문표기】	김용수
【성명의 영문표기】	KIM,Yong Su
【주민등록번호】	630914-1057714

【우편번호】 135-773
【주소】 서울특별시 강남구 개포4동 시영아파트 1동 404호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 12 항 493,000 원
【합계】 522,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

고밀도 자기저항 메모리 및 그 제조방법이 개시된다. 개시된 자기저항 메모리는 정보를 저장하는 메모리셀과, 자기장을 발생시켜 상기 메모리셀의 자화방향을 변화시키는 도전선 및, 도전선과 메모리셀 사이에 위치하며 메모리셀로 자속을 집중시키는 적어도 하나의 자속 집중 아일랜드를 구비한다. 자속을 집중시킴으로써 요구전류를 감소시키고 선택도를 향상시켜 메모리셀의 고밀도 고집적화에 유리하다.

【대표도】

도 3

【명세서】

【발명의 명칭】

고밀도 자기저항 메모리 및 그 제조방법{High density magnetoresistance memory and Manufacturing method the same}

【도면의 간단한 설명】

도 1은 기존의 자기저항 메모리를 간략히 나타낸 도면,

도 2는 미국특허 제5,659,490호에 공개된 자성 메모리를 간략히 보인 단면도,

도 3은 본 발명의 실시예에 따른 자기저항 메모리를 간략히 나타낸 사시도,

도 4a는 FCI가 없는 경우 도전선의 단면도,

도 4b는 FCI가 설치된 도전선의 단면도,

도 4c는 FCL이 설치된 도전선의 단면도,

도 4d는 FCI와 FCL이 모두 설치된 도전선의 단면도,

도 5a 내지 도 5d는 도 4a 내지 도 4d에 도시된 각각의 경우 선택된 메모리셀에 전류를 인가한 시뮬레이션의 결과를 나타낸 도면.

<도면의 주요부분에 대한 부호설명>

50 ; 자기저항 메모리

51 ; 디지털 라인

53 ; 비트 라인

54 ; 디지털 라인용 FCI

55 ; 메모리셀

56 ; 비트 라인용 FCI

57 ; 기판

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14> 본 발명은 자기저항 메모리 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 고선택성을 위한 자기저항 메모리 및 그 제조방법에 관한 것이다.
- <15> 도 1은 기존의 자기저항 메모리(MRAM; Magnetic Random Access Memory) 어레이를 간략히 나타낸 도면이다.
- <16> 도 1을 참조하면, 기존의 MRAM 메모리는 전류가 인가된 디지털 라인(1)과 비트 라인(3)에 발생하는 자기장을 이용함으로써 디지털 라인(1)과 비트 라인(3) 사이의 위치하는 메모리셀(5)의 자화방향을 역전시킴으로써 정보를 저장한다. 하지만, 디지털 라인(1)과 비트 라인(3)에 인가되는 전류에 의해 생성되는 자기장은 디지털 라인(1)과 비트 라인(3)이 교차하는 곳에 위치하는 메모리셀(5)의 주변에 위치하는 메모리셀(7, 9)에도 영향을 미칠 수 있다. 특히 최근 소형화되고 고밀도화되는 메모리 셀의 구조에서는 메모리셀의 자기저항이 커지고 자화방향을 반전시키기 위해 요구되는 전류값이 더 증가하게 된다. 따라서, 자기장은 원하는 메모리셀(5)을 제외한 주변 셀(7, 9)에 영향을 미쳐 자화방향을 반전시킴으로써 메모리의 오동작하는 확률이 높아지게 된다.
- <17> 상술한 MRAM의 단점을 보완하기 위해 자속을 메모리셀로 집중시킬 수 있는 구조를 가지는 종래의 자기저항 메모리의 일 예를 도 2에 도시하였다. 도 2는 미국특허 제5,659,490호에 공개된 자성 메모리를 간략히 보인 단면도이다.

<18> 도 2를 참조하면, 자성 메모리(35)는 기판(11)과 기판(11) 상의 자화 벡터의 형태로 정보가 저장되는 메모리셀(14)을 포함한다. 메모리셀(14)은 자성체 사이에 절연층을 포함한 다층구조의 자기저항(MR; Magnetoresistive) 물질로 이루어지고 화살표로 지시된 길이(21; L)를 가지고 지면에 수직한 방향의 폭을 가진다. 칼럼 도전체(12)는 다른 메모리 셀과 칼럼 형태의 메모리셀(14)을 연결하는데 이용된다. 유전체(13)는 메모리셀(14) 및 도전체(12)를 도포하여 디지털 라인의 도전체(36)와 절연시킨다. 디지털 라인의 도전체(36)는 메모리셀(14)과 직교하도록 배열된다. 디지털 라인의 도전체(36)의 상면 및 측면에는 고투자물질(17, 18)이 도포되어 디지털 라인 도전체(36)에 인가되는 전류에 따라 자화방향이 변화하면서 자기장을 메모리셀(14)내의 자성체로 집속시킨다. 메모리셀(14)의 좌우 측 상방에는 고투자물질(31, 32)이 스트라이프형으로 더 형성되어 고투자물질(17, 18)의 자속 집속 기능을 보조한다. 고투자물질(32, 33) 사이의 폭(37)은 메모리셀(14)의 폭보다 작게 형성된다.

<19> 상기 미국특허 제5,656,499호에 개시된 MRAM 구조와 비슷한 형태로 미국특허 제 6,174,737호에서도 개량된 MRAM 및 이를 제조하는 방법을 도시하고 있다.

<20> 하지만, 종래의 자속 집속을 위한 도전층은 비트 라인 또는 디지털 라인 상부에 스트라이프 패턴으로 형성되어 메모리셀이 위치하지 않는 부분에도 자속을 분포시킴으로써 원하는 메모리셀에 효율적으로 자속을 집중시키지 못하는 단점이 있다. 또한, 공정상 메모리셀을 만든 후에 스트라이프를 제조해야 하므로 공정이 용이하지 않다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서, 본 발명이 해결하고자 하는 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 메모리셀로 자속을 효율적으로 집속시킬 수 있는 자속집속구조를 가지는 자기저항 메모리 및 그 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <22> 상기 기술적 과제를 달성하기 위하여 본 발명은,
- <23> 정보를 저장하는 메모리셀;
- <24> 자기장을 발생시켜 상기 메모리셀의 자화방향을 변화시키는 도전선; 및
- <25> 상기 도전선과 상기 메모리셀 사이에 위치하며, 상기 메모리셀로 자속을 집중시키는 적어도 하나의 자속 집중 아일랜드;를 구비하는 것을 특징으로 하는 자기저항 메모리를 제공한다.
- <26> 상기 기술적 과제를 달성하기 위하여 본 발명은 또한,
- <27> 기판 상에 메모리셀과 상기 메모리셀에 전류를 인가하는 도전선을 형성하는 단계; 및
- <28> 상기 메모리셀과 상기 도전선 사이에 상기 메모리셀로 자속을 집중시키는 자속 집중 아일랜드를 형성하는 단계;를 포함하는 것을 특징으로 하는 자기저항 메모리 제조방법을 제공한다.
- <29> 상기 도전선은 비트 라인 또는 상기 메모리셀을 사이에 두고 상기 비트 라인과 직교하도록 형성된 디지털 라인일 수 있다.
- <30> 상기 도전선은 상기 메모리셀에 접촉하지 않는 면상에 상기 메모리셀로 자속을 집중시키는 자속 집중층을 더 구비할 수 있다.
- <31> 상기 자속 집중 아일랜드와 자속 집중층은 고투자율을 가지는 물질로 형성한다.
- <32> 자속 집중 아일랜드와 자속 집중층은 선택도를 5%이상 향상시킬 수 있다.
- <33> 본 발명은 메모리셀의 주변에 자기집속 아일랜드(Flux Concentrating Island; 이하 FCI라 함)를 구비하여 메모리셀로 자속을 효율적으로 집중할 수 있다.

- <34> 이하 본 발명의 실시예에 따른 자기저항 메모리 및 그 제조방법을 도면을 참조하여 상세히 설명한다.
- <35> 도 3은 본 발명의 실시예에 따른 자기저항 메모리를 간략히 나타낸 사시도이다. 도 3을 참조하면, 자기저항 메모리(50)는 기판(57) 상에 스트라이프 패턴으로 형성된 비트 라인(53)과, 비트 라인(53) 상에 적층된 메모리셀(55)과, 메모리셀(55)의 상면에 접촉하고 비트 라인(53)과 직교하도록 스트라이프 패턴으로 형성된 디지털 라인(51)과, 비트 라인(53)에 근접하여 위치하며 주로 비트 라인(53)에서 나오는 자기장을 메모리셀(55)로 집중시키는 비트 라인용 FCI(Flux Concentration Island)(56)와, 디지털 라인(51)에 근접하여 위치하며 주로 디지털 라인(51)에서 나오는 자기장을 상기 메모리셀(55)로 집중시키는 디지털 라인용 FCI(54)를 구비한다. 이 때 모든 각 구성요소들 사이에 절연층을 마련하여 물리적인 접촉이 일어나지 않게 한다.
- <36> 자기저항 메모리의 기록시 요구되는 전류가 크게 되면 전류에 의해 열이 많이 발생하고 주위의 셀에 영향을 미쳐 원하지 않는 자기저항 메모리 셀의 자화방향이 스위칭되는 확률이 커진다. 또한 자기저항 메모리를 고집적으로 구성하여 고밀도화시키면 메모리셀의 크기가 더욱 작아지면서 보자력(coercivity)이 커지는 경향을 보이며, 따라서 스위칭시 필요한 자기장의 세기가 커지면서 필요한 요구전류가 증가한다.
- <37> 본 발명의 실시예에 따른 자기저항 메모리는 고집적으로 구성되는 메모리셀의 주변에 고투자율(permeability)을 가지는 재질로 FCI를 형성함으로써 비트 라인(53)과 디지털 라인(51)에서 나오는 자기장의 경로를 변경시켜 외부로 발산되는 자기장을 원하는 메모리셀로 집중시킬 수 있다. 따라서, 작은 전류로도 메모리셀의 자화방향을 스위칭시킬 수 있는 충분한 자기장이

원하는 메모리셀에만 작용하게 할 수 있다. FCI의 형태는 정사각형, 직사각형 또는 원 등 다양한 형태로 형성될 수 있다.

<38> 도 3에 도시된 자기저항 메모리는 자속을 집중시키기 위해 메모리셀(53)의 주변에 아일 랜드 형태의 도전성 물질을 형성시키고 있으나, 자속 집중 효과를 향상시키기 위해 디지털 라인(51) 상에 도 1에 도시된 바와 같은 자속 집중층(FCL)을 더 형성할 수 있다. 하지만, 자속 집중층(FCL)을 도입하는 경우 공정 단계가 더 추가되고 공정경비가 증가할 수 있음에 유의해야 한다.

<39> 도 4a는 FCI가 없는 경우 도전선의 단면도, 도 4b는 FCI가 설치된 도전선의 단면도, 도 4c는 FCL이 설치된 도전선의 단면도 및, 도 4d는 FCI와 FCL이 모두 설치된 도전선의 단면도이다. 여기서, 도전선은 비트 라인 또는 디지털 라인이 될 수 있다.

<40> 도 4a에 도시된 도전선(61)은 $0.6\mu\text{m}$ 정도의 폭과 $0.3\mu\text{m}$ 정도의 높이를 가지며 FCI 및/또는 FCL과 같은 자속 집중 구조를 구비하지 않는다. 도 4b를 참조하면, 도전선(61)의 측면과 하부면에 절연층(68a)이 도포되고 절연층(68a)의 좌측 및 우측 하부면에 FCI(66a, 66b)가 형성된다. 절연층(68a)은 $0.1\mu\text{m}$ 정도의 두께로 증착되고 FCI(66a, 66b)는 대략 $0.3\mu\text{m}$ 정도의 폭과 $0.04\mu\text{m}$ 정도의 두께로 형성된다.

<41> 도 4c에 도시된 도전선(61)에서는 도 4b에 도시된 FCI(66a, 66b) 대신 FCL(Flux Concentration Layer)(62)이 절연층(68b)의 측면 및 하부면에 도포된다. 여기서, FCL(62)은 대략 $0.04\mu\text{m}$ 의 두께로 형성된다. 도 4d는 FCL(62)과 FCI(66a, 66b)가 모두 형성된 도전선(61)의 단면을 보인다. 절연층(68c)의 두께는 $0.1\mu\text{m}$ 정도이고 FCI(56a, 56b)는 도 4b에 도시된 바와 동일한 치수를 가지고 FCL(52)은 도 4c에 도시된 치수와 동일한 치수를 가지도록 형성된다.

- <42> 도 5a 내지 도 5d는 도 4a 내지 도 4d에 도시된 각각의 경우 선택된 메모리셀에 전류를 인가한 시뮬레이션의 결과를 나타낸 도면이다.
- <43> 도 5a 내지 도 5d를 참조하면 9개의 메모리셀이 배열되어 있고 중앙의 선택된 메모리셀 주변에서 우측에 위치한 메모리셀로부터는 상방으로, 좌측에 위치한 메모리셀로부터는 하방으로 자기력선이 형성되는 것을 볼 수 있다.
- <44> 도 5a 내지 도 5b에 도시된 자기장의 세기를 나타낸 스크롤 바를 보면 도 4a 내지 도 4b에 도시된 메모리셀의 자기장의 세기가 점점 증가하는 것을 알 수 있는데, 도 5a에서는 최대 2612(G) 정도, 도 5b에서는 최대 4262(G) 정도, 도 5c에서는 최대 5868(G) 정도, 도 5d에서는 최대 7427(G) 정도를 나타내며 최소 자기장도 점차로 증가하는 것을 볼 수 있다. 도시된 시뮬레이션의 결과로부터 본 발명의 실시예에 따른 FCI와 종래의 FCL을 함께 사용한 경우 자기장의 세기가 가장 크게 나타나는 것을 알 수 있다.
- <45> 표 1은 도 4a 내지 도 4d의 각 경우(case 1, 2, 3, 4)에 있어 X축, Y축, 요구전류 및, 선택도(selectivity)를 보인다.

<46> 【표 1】

	Hx(Oe)	Hy(Oe)	요구전류(mA)	선택도(%)
case1	20.7	22.0	8.5	178
case2	21.9	27.5	7.5	192
case3	31.0	45.4	4.7	182
case4	31.1	53.5	4.5	196

- <47> 여기서, 요구전류는 메모리셀의 자화방향을 반전시키기 위해 요구되는 전류를 의미하며, 선택도는 선택된 메모리셀에 걸리는 자기장(H_{x0} , H_{y0})과 근접하여 위치한 메모리셀에 걸리는 자기장(H_{x1} , H_{y1})과의 관계식, 즉 수학식 1로 정의된다. 선택도가 높을수록 선택된 메모리셀로의 자기장의 집중도가 더 높다는 것을 나타낸다.

<48> **【수학식 1】** 선택도 = $2/(\sqrt{((H_{x1}/H_{x0})^2 + (H_{y1}/H_{y0})^2)/2} + (\sqrt{((H_{x2}/H_{x0})^2 + (H_{y2}/H_{y0})^2)/2})$

<49> 표 1을 참조하면, X축에서의 자기장의 세기(Hx)는 case 3 및 4에서 31(Oe) 정도로 가장 크고 Y축에서의 자기장의 세기(Hy)는 case 3에서 45(Oe) 정도, case 4에서 53(Oe) 정도로 가장 크게 나타난다. 요구 전류는 case 3 및 4에서 4.5 내지 4.7 정도로 가장 작게 나타나고 있다.

<50> 하지만, 선택도(selectivity)는 case 2 및 4에서 192% 내지 196% 정도로 가장 높게 나타나고 있다. case 1의 선택도 178%에 비해 case 2의 선택도는 8%정도 향상되고 있다. 본 발명의 자기저항 메모리의 선택도는 5%이상 향상되도록 설계되는 것이 바람직하다.

<51> 이와 같은 결과로부터 FCI를 구비하는 본 발명의 자기 저항 메모리는 선택도에서 우수한 성능을 나타내는 것을 알 수 있으며, FCI와 FCL을 모두 구비하는 경우 자기장의 세기, 요구 전류 및, 선택도에서 최고의 성능을 나타내는 것을 알 수 있다. FCI의 두께와 폭의 최적화 조건은 실험을 통해 찾을 수 있을 것이다.

<52> FCI는 자기저항 메모리셀과 같은 자성체를 이용할 수 있으므로 자기저항 메모리 제조 공정에서 메모리셀의 에칭시 FCI와 동일한 형태의 마스크를 사용하여 공정단계의 증가없이 원하는 구조를 형성시킬 수 있다.

<53> 본 발명은 자속집중 구조를 구비하여 메모리셀에 작용하는 단위 전류당 자속 밀도를 증가시킴으로써 셀 스위칭에 필요한 요구전류를 감소시키고 선택도를 향상시켜 고밀도 자기저항 메모리를 구현할 수 있다.

<54> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 본 발명의 범위는 설명된

실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<55> 상술한 바와 같이 본 발명의 자기저항 메모리의 장점은 단위 전류당 자속 밀도가 증가됨으로써 요구전류가 감소하고 선택도가 향상되어 고밀도 고집적 구조를 용이하게 구현할 수 있다는 것이다.

<56> 또한 본 발명의 자기저항 메모리 제조방법의 장점은 에칭시 필요한 마스크를 간단히 변형하여 FCI를 제조할 수 있다는 것이다.

【특허청구범위】**【청구항 1】**

정보를 저장하는 메모리셀;

상기 메모리셀에 접촉하며, 자기장을 발생시켜 상기 메모리셀의 자화방향을 변화시키는 도전선; 및

상기 도전선과 상기 메모리셀 사이에 위치하며, 상기 메모리셀로 자속을 집중시키는 적어도 하나의 자속 집중 아일랜드;를 구비하는 것을 특징으로 하는 자기저항 메모리.

【청구항 2】

제 1 항에 있어서,

상기 도전선은 비트 라인 또는 상기 메모리셀을 사이에 두고 상기 비트 라인과 직교하도록 형성된 디지털 라인인 것을 특징으로 하는 자기저항 메모리.

【청구항 3】

제 1 항에 있어서,

상기 도전선은 상기 메모리셀에 접촉하지 않는 면상에 상기 메모리셀로 자속을 집중시키는 자속 집중층이 형성된 것을 특징으로 하는 자기저항 메모리.

【청구항 4】

제 1 항에 있어서,

상기 자속 집중 아일랜드는 고투자율을 가지는 물질로 형성되는 것을 특징으로 하는 자기저항 메모리.

【청구항 5】

제 1 항에 있어서,

상기 자속 집중층은 고투자율을 가지는 물질로 형성되는 것을 특징으로 하는 자기저항 메모리.

【청구항 6】

제 1 항에 있어서,

상기 자속 집중 아일랜드는 선택도를 5%이상 향상시키는 것을 특징으로 하는 자기저항 메모리.

【청구항 7】

기판 상에 메모리셀과 상기 메모리셀에 전류를 인가하는 도전선을 형성하는 단계; 및

상기 메모리셀과 상기 도전선 사이에 상기 메모리셀로 자속을 집중시키는 자속 집중 아일랜드를 형성하는 단계;를 포함하는 것을 특징으로 하는 자기저항 메모리 제조방법.

【청구항 8】

제 7 항에 있어서,

상기 도전선은 비트 라인 또는 상기 메모리셀을 사이에 두고 상기 비트 라인과 직교하도록 형성된 디지털 라인인 것을 특징으로 하는 자기저항 메모리 제조방법.

【청구항 9】

제 7 항에 있어서,

상기 도전선에서 상기 메모리셀에 접촉하지 않는 면상에 상기 메모리셀로 자속을 집중시키는 자속 집중층을 더 형성하는 것을 특징으로 하는 자기저항 메모리 제조방법.

【청구항 10】

제 7 항에 있어서,

상기 자속 집중 아일랜드는 고투자율을 가지는 물질로 형성하는 것을 특징으로 하는 자기저항 메모리 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 자속 집중층은 고투자율을 가지는 물질로 형성하는 것을 특징으로 하는 자기저항 메모리 제조방법.

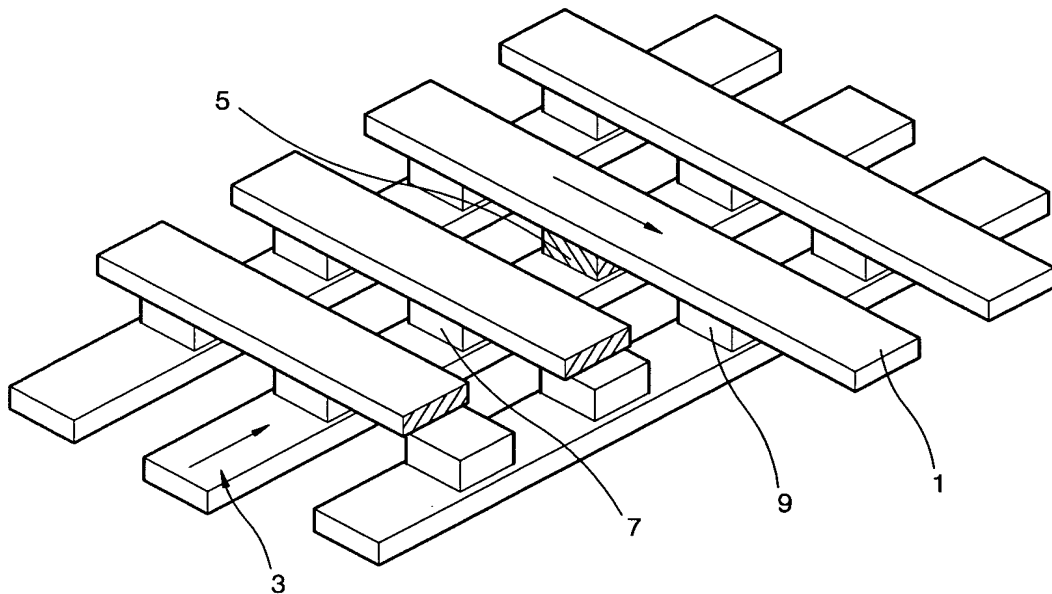
【청구항 12】

제 7 항에 있어서,

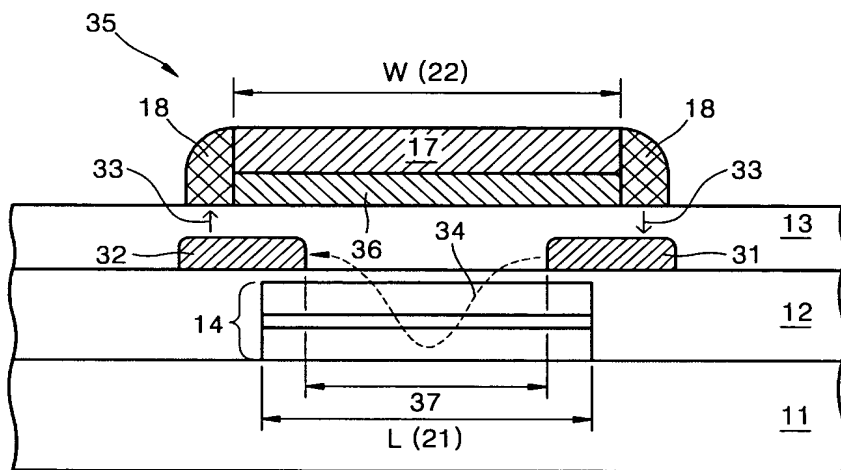
상기 자속 집중 아일랜드는 선택도를 5%이상 향상시키는 것을 특징으로 하는 자기저항 메모리 제조방법.

【도면】

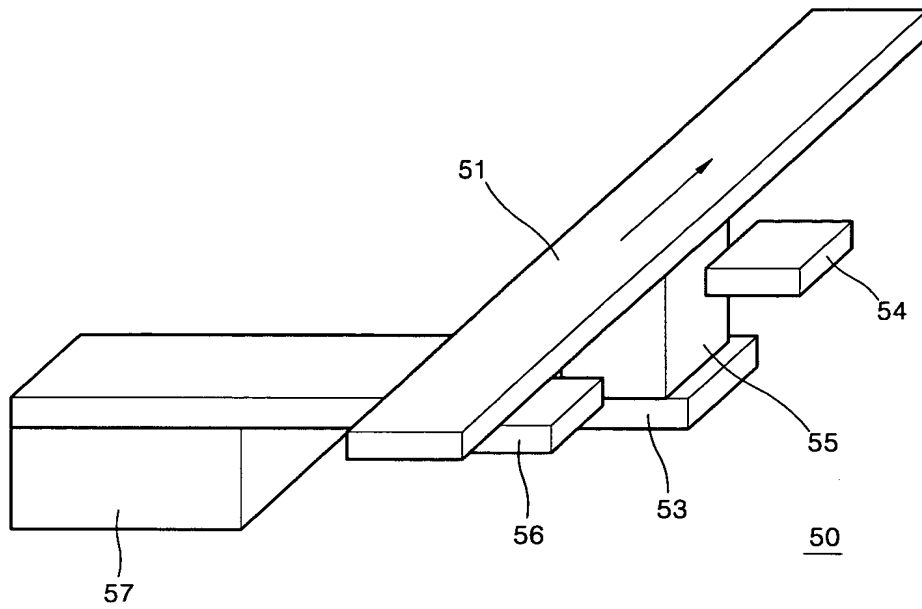
【도 1】



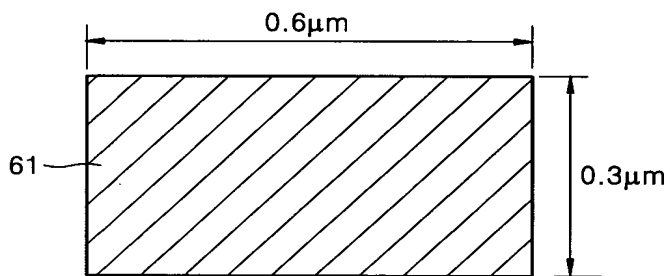
【도 2】



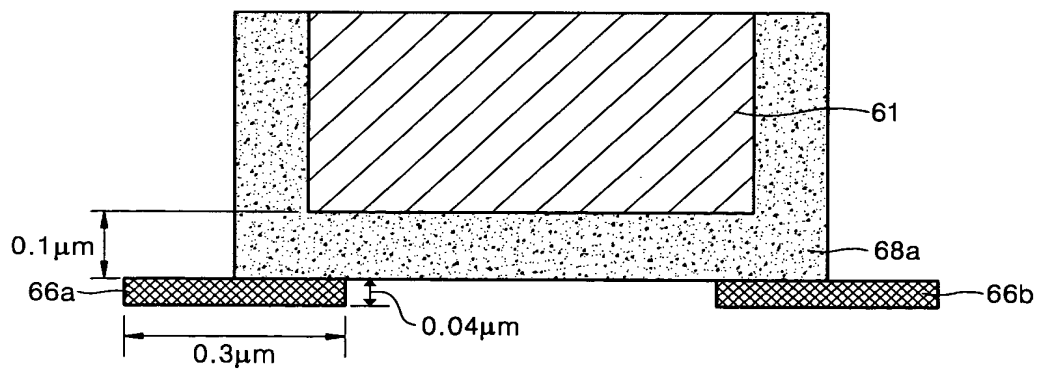
【도 3】



【도 4a】



【도 4b】



A cross-sectional view of a semiconductor device. It shows a central rectangular region 61 with diagonal hatching. This is surrounded by a rectangular region 62 with a stippled pattern. The entire structure is within a larger rectangular region 68b with a cross-hatched pattern. Dimension lines at the bottom indicate a width of 0.04 μm for the central region 61 and a width of 0.1 μm for the surrounding region 62.

0.1 μm
0.04 μm

61
62
68c

66a
0.3 μm
0.04 μm
66b

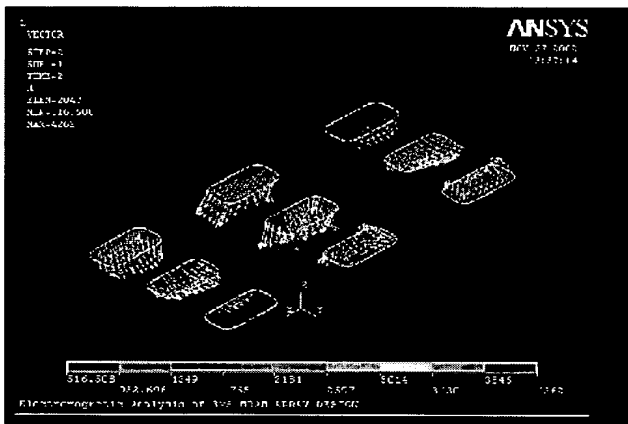
1. PART.1
STEP=0
SUB=
TIME=3
E
END=10.10
MID=425.015
MIN=2611

ANSYS
OCT 16 1988
16193197

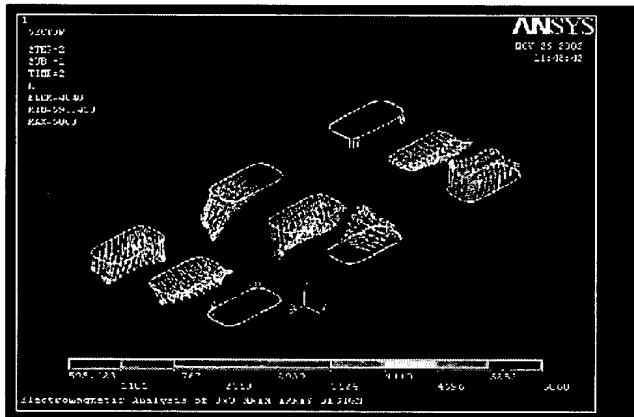
100.000 101.000 102.000 103.000 104.000 105.000 106.000 107.000 108.000 109.000 110.000 111.000 112.000 113.000 114.000 115.000 116.000 117.000 118.000 119.000 120.000 121.000 122.000 123.000 124.000 125.000 126.000 127.000 128.000 129.000 130.000 131.000 132.000 133.000 134.000 135.000 136.000 137.000 138.000 139.000 140.000 141.000

ELECTROSTATIC ANALYSIS OF THE BOARD AFTER TIDING

【도 5b】



【도 5c】



【도 5d】

